

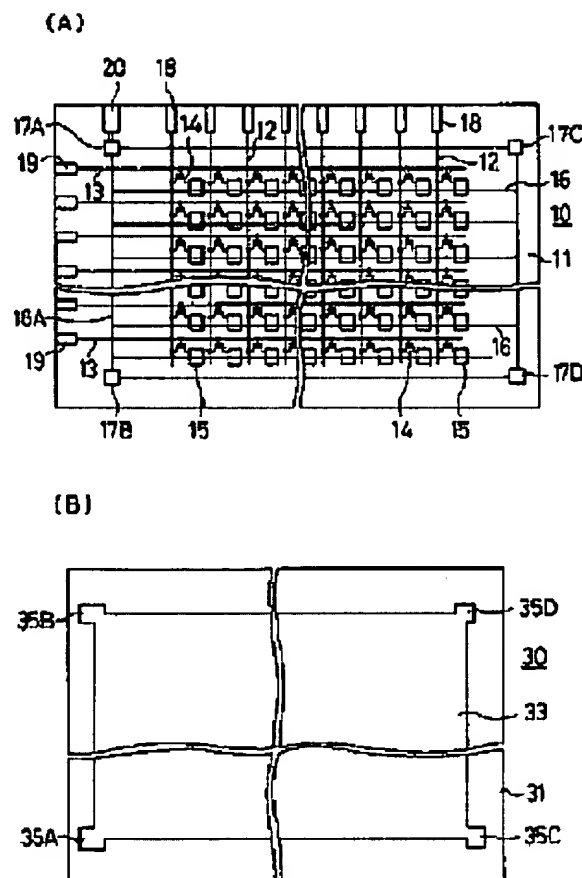
LIQUID CRYSTAL DISPLAY ELEMENT

Patent number: JP7270825
Publication date: 1995-10-20
Inventor: KITAGAWA KATSUMI
Applicant: CASIO COMPUTER CO LTD
Classification:
- **international:** G02F1/136; G02F1/133; G09G3/36; H01L29/78;
H01L29/786
- **europaen:**
Application number: JP19940081086 19940329
Priority number(s): JP19940081086 19940329

Report a data error here

Abstract of JP7270825

PURPOSE: To provide an active matrix liquid crystal display element capable of maintaining voltages of respective parts of counter electrodes with a simple constitution.
CONSTITUTION: An input terminal 20 to which a signal supplied to counter electrodes 33 is inputted and plural connecting pads 17A to 17D for transferring the signal supplied the input terminal 20 to counter electrodes are arranged on a display pixel substrate 10. At the time of joining the display pixel substrate 10 with a counter electrode substrate 30, connecting pads 17A to 17D are connected respectively with pads 35A to 35D of the counter electrodes 33 by using conductive anisotropy adhesive, etc. Voltages of counter electrodes 33 are made uniform by making the number of connecting pads 17A to 17D greater than that of the input terminal 20 and by connecting them each other by using metallic wire 16, etc., on the display pixel substrate 10 and by uniformizing these voltages.



Data supplied from the esp@cenet database - Worldwide

【特許請求の範囲】

【請求項１】電極が形成された第１の基板と、マトリクス状に配置された複数の液晶駆動用素子と、前記電極と対向し、前記液晶駆動用素子と接続された画素電極と、前記電極へ供給されるべき信号が入力される信号入力端子と、前記信号入力端子の個数よりも多数配置され、前記信号入力端子への入力信号を前記電極に伝達するための複数の接続パッドと、前記信号入力端子と前記複数の接続パッド及び接続パッド間を接続する接続配線が配置された第２の基板と、前記第１の基板と前記第２の基板を接合し、各前記接続パッドの電圧を前記電極の対応位置に伝達する接続手段とを備えることを特徴とする液晶表示素子。

【請求項２】前記第２の基板は容量ラインをさらに備え、前記接続配線は前記容量ラインと一体に形成され、前記容量ラインの外部接続端子と前記信号入力端子は一体に形成されていることを特徴とする請求項１に記載の液晶表示素子。

【請求項３】前記接続配線は環状配線から構成され、前記第２の基板は、前記液晶駆動用素子に接続されたゲートラインとデータラインと、前記ゲートラインとデータラインの少なくとも一方と前記環状配線を接続する保護素子とをさらに備えることを特徴とする請求項１又は２に記載の液晶表示素子。

【請求項４】アクティブ素子と該アクティブ素子に接続された画素電極を備える表示画素基板と前記画素電極に対向する対向電極が形成された対向基板とを接合して形成し、前記対向電極の入力端子と該入力端子に接続された接続パッドを前記表示画素基板に配置し、前記入力端子に供給された信号を該接続パッドから前記対向電極に伝達するアクティブマトリクス液晶表示素子において、前記接続パッドの数を前記入力端子の数よりも多くしたことを特徴とする液晶表示素子。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】この発明は液晶表示素子に関し、特に、アクティブマトリクスタイプの液晶表示素子に関する。

【０００２】

【従来の技術】従来のアクティブマトリクス液晶表示素子は、図１０（Ａ）に示す表示画素基板１１０と図１０（Ｂ）に示す対向基板１３０とがスペーサーを挟んでシール材により接合され、これらの基板間に液晶を充填することにより形成されている。表示画素基板１１０は、図１０（Ａ）に示すように、ガラス基板１１１上に、データライン１１２、ゲートライン１１３、薄膜トランジスタ（ＴＦＴ）１１４、画素電極１１５、補償容量ライン１１６、対向電極接続パッド１１７、データ端子１１８、ゲート端子１１９、補償容量端子１２０、対向電極

入力端子１２１を配置することにより形成されている。また、対向基板１３０は、図１０（Ｂ）に示すように、ガラス基板１３１上に１枚の対向電極１３３を配置して形成されている。

【０００３】

【発明が解決しようとする課題】この液晶表示素子は、対向電極１３３がＩＴＯ（インジウム－チン）等の比較的高い抵抗率を有する透明導電材料で形成されているため、表示装置を大型化するために大面積化した場合、対向電極１３３内で電圧降下が発生し、対向電極１３３上の各部の電圧が一定にならず、表示むらが発生する。このため、従来では、図１０（Ａ）に示すように、対向電極入力端子１２１と対向電極接続パッド１１７を複数個配設し、対向電極１３３と対向電極接続パッド１１７を複数箇所接続し、対向電極１３３の各部の電圧が一定になるようにしている。しかし、このような構成では、対向電極入力端子１２１の数が多くなって端子構成が複雑になると共に外部から対向電極入力端子１２１への配線が煩雑であった。

【０００４】この発明は上記実状に鑑みてなされたもので、簡単な端子構成で良好な特性を得ることができるアクティブマトリクス液晶表示素子を提供することを目的とする。また、この発明は、簡単な端子構成で対向電極上の各部の電圧を均一な値に維持することができるアクティブマトリクス液晶表示素子を提供することを目的とする。

【０００５】

【課題を解決するための手段】上記目的を達成するため、この発明にかかる液晶表示素子は、電極が形成された第１の基板と、マトリクス状に配置された複数の液晶駆動用素子と、前記電極と対向し、前記液晶駆動用素子と接続された画素電極と、前記電極へ供給されるべき信号が入力される信号入力端子と、前記信号入力端子の個数よりも多数配置され、前記信号入力端子への入力信号を前記電極に伝達するための複数の接続パッドと、前記信号入力端子と前記複数の接続パッド及び接続パッド間を接続する接続配線が配置された第２の基板と、前記第１の基板と前記第２の基板を接合し、各前記接続パッドの電圧を前記電極の対応位置に伝達する接続手段とを備えることを特徴とする。

【０００６】

【作用】上記構成によれば、第２の基板上で接続パッド及び入力端子間を接続するので、信号入力端子が接続パッドよりも少ない場合でも、接続パッドを等しい電圧に設定することが可能となる。従って、簡単な端子構成で、電極（対向電極）の各部の電圧を均一に維持することができる。前記接続配線を容量ラインと一体に形成し、信号入力端子を容量ラインの外部接続端子と一体に形成することにより、第２の基板の端子及び回路構成をより簡略化することができる。また、前記接続配線を環

状配線とし、この環状配線とゲートライン及び／又はデータライン等を保護素子を介して接続することにより、接続配線を静電気等から半導体素子等を保護する保護回路として機能させることもできる。

【0007】

【実施例】以下、図面を参照してこの発明の実施例にかかるアクティブマトリクス液晶表示素子を説明する。

（第1実施例）この実施例のアクティブマトリクス液晶表示素子は、図2に示すように、表示画素基板10と対向基板30とがギャップ材43を挟んでシール材41により接合され、表示画素基板10と対向基板30との間に、液晶45を充填し、両側に偏光板47、49を配置することにより形成されている。

【0008】表示画素基板10は、図1（A）に示すように、ガラス基板11と、ガラス基板11の上にマトリクス状に配置されたデータライン（ドレインライン）12とゲートライン13と、ドレインが対応するデータライン12に接続され、ゲートが対応するゲートライン13に接続された薄膜トランジスタ14と、薄膜トランジスタ14のソースに接続された画素電極15と、画素電極15に絶縁膜を介して対向する補償容量ライン16と、対向基板30に配置された対向電極33の接続パッド35に接続される4つの対向電極接続パッド17A～17Dと、データライン12と外部の駆動回路を接続するデータ端子18、ゲートライン12と外部の駆動回路を接続するゲート端子19、対向電極／補償容量入力端子20から構成されている。

【0009】一方、対向基板30は、図1（B）に示すように、ガラス基板31と、ガラス基板31上に配置され、対向電極接続パッド17A～17Dに異方性導電接着剤等を介して接続される4つのパッド35A～35Dを備える対向電極33から構成される。

【0010】図1に示す構成では、対向電極33の電圧を設定するための入力端子と補償容量ライン16の電圧を設定するための端子が対向電極／補償容量入力端子20を共用している。また、4つの対向電極接続パッド17A～17Dがアルミニウム、アルミニウム合金、クロム等の導電率の高い材料からなる補償容量ライン16により相互に接続され、対向電極接続パッド17A～17Dはパッド35A～35Dにそれぞれ接続されている。

【0011】このような構成によれば、補償容量ライン16と対向電極33を所定電位（一般に接地電位）に維持するために対向電極／補償容量入力端子20を1つ設けるだけでよく、表示画素基板10の端子構成が簡略化される。また、複数の対向電極接続パッド17A～17Dが補償容量ライン16で相互に接続されて同一電圧に維持されるので、対向電極33の各パッド35A～35Dの電圧も同一値に維持され、対向電極33上の各部の電圧も同一値に維持される。

【0012】上記構成のアクティブマトリクス液晶表示

素子は、例えば、以下のようにして製造される。まず、ガラス基板11上にアルミニウム、アルミニウム合金、クロム等の導電膜をスパッタリング、蒸着等により形成する。この導電膜をパターンニングし、図3に示すように、薄膜トランジスタ14のゲート電極GE（図4）、ゲート電極GEに接続されたゲートライン13、ゲートライン13に接続されたゲート端子19、4つの対向電極接続パッド17A～17D、補償容量ライン16（対向電極接続パッド17Aと17Bを接続するライン16Aを除く）を形成する。

【0013】次に、図4に示すように、基板全面に絶縁膜（薄膜トランジスタ14のゲート絶縁膜）51を形成し、絶縁膜51上にチャネル領域とソース・ドレイン領域を備える半導体層53を形成する。絶縁膜51の対向電極接続パッド17A及び17B上の部分、各補償容量ライン16の左端部上の部分をエッチングし、これらを露出させる。次に、基板全体に金属膜を堆積し、これをパターンニングして、薄膜トランジスタ14のソース電極SE及びドレイン電極DE、ドレイン電極DEに接続されたデータライン12及びデータ端子18、さらに、補償容量ライン16Aを形成する。

【0014】その後、ITO等の透明導電膜を形成し、これをパターンニングして、ソース電極SEに接続された画素電極15を形成する。次に、基板全面に保護膜55を形成する。保護膜55の画素電極15上の部分及び保護膜55と絶縁膜51の、対向電極接続パッド17A～17D、データ端子18、ゲート端子19、及び対向電極／補償容量入力端子20上の部分をエッチングすることにより、これらを露出させる。

【0015】一方、対向基板30は、ガラス基板31上にITOなどの透明導電膜を形成し、これをパターンニングして図1（B）に示す対向電極33を形成する。その後、スペーサ43及びシール材41を介して両基板を接合する。この際、対向電極接続パッド17A～17Dと対向する対向電極のパッド35A～35Dに異方性導電接着材（異方性導電材）57等を塗布しておき、図5に示すように、両基板11、31を接合する際に異方性導電接着材57を圧縮する。圧縮により、接着材に含まれた導電材の粒子が拡散し、対向電極接続パッド17A～17Dと対向電極33のパッド35A～35D間が電氣的に接続される。

【0016】次に、ガラス基板11、31とシール材41に囲まれた部分に、真空注入法等を用いて液晶45を注入し、偏光板47、49を配置して、第1実施例のアクティブマトリクス液晶表示素子が完成する。

【0017】（第2実施例）第1実施例では、対向電極接続パッド17A～17Dを補償容量ライン16により相互に接続したが、図6に示すように、補償容量ライン16及び補償容量端子71とは別個に形成された専用ライン71と対向電極入力端子73を用いて対向電極接続

パッド17A～17Dを相互に接続してもよい。専用ライン71及び対向電極入力端子73は、抵抗の小さい材料、例えば、アルミニウム、アルミニウム合金、クロム等を用いて形成される。

【0018】図6の構成によれば、対向電極33を所定電位（一般に接地電位）に維持するために対向電極入力端子72を1つ設けるだけでよく、端子構成が簡略化される。しかも、対向電極接続パッド17A～17Dが低抵抗の専用ライン71により相互に接続されて同一電圧に維持されるので、対向電極33の各部も同一電位に維持される。

【0019】図6の構成の表示画素基板は、例えば、以下のようにして形成される。まず、ガラス基板11上に金属膜を形成し、これをパターンニングして専用ライン71と対向電極入力端子72を形成する。次に、基板全面にシリコン窒化膜等からなる透明絶縁膜を形成する。その後、この透明絶縁膜上に、通常の製造方法を用いて、データライン12、ゲートライン13、薄膜トランジスタ14、画素電極15、補償容量ライン16、データ端子18、ゲート端子19、補償容量端子71等を形成する。その後、保護膜を基板全面に形成する。画素電極15、端子18、19、71、73、対向電極接続パッド17A～17D上の絶縁膜及び保護膜をエッチングして露出することにより、表示画素基板10が完成する。

【0020】この第2実施例によれば、対向電極接続パッド17A～17Dよりも少ない数の対向電極入力端子73を用いて対向電極33の各部の電圧を所望の値に設定でき、端子構成が簡略化される。また、抵抗率の小さい材質の材料、例えば、アルミニウム等を用いて、対向電極入力端子72、対向電極接続パッド17A～17D、専用ライン72を同時に形成できる。

【0021】（第3実施例）第2実施例では、対向電極接続パッド17A～17Dを専用線71で相互に接続したが、専用線71を液晶表示素子の製造段階で静電気対策等のために使用するショートラインとして使用することも可能である。以下、対向電極接続パッド接続用のラインをショートラインとして使用した第3実施例を説明する。

【0022】図7は製造過程にある表示画素基板10を示す。なお、図7において、図6と同一部分には同一符号を付す。図示するように、この実施例の表示画素基板10は、ガラス基板11上に、データライン12、ゲートライン13、薄膜トランジスタ14、画素電極15（図示せず）、補償容量ライン16、対向電極接続パッド17A～17D、データ端子18、ゲート端子19、補償容量端子71、対向電極入力端子72、内部ショートライン81、バリスタ82、外部ショートライン83を配置して形成されている。なお、符号CLCは画素電極15と対向電極33とその間の液晶により構成される容

量を意味し、符号CSは画素電極15と補償容量ライン16の対向部分により構成される容量を意味する。

【0023】内部ショートライン81は金属等から構成された環状配線であり、4つの対向電極接続パッド17A～17Dを相互に接続すると共に図8に示す特性を有するバリスタ等の非線形2端子素子82を介して各データライン12と各ゲートライン13に接続されている。なお、非線形2端子素子82としては、例えば、図9に示すように、薄膜トランジスタからゲート電極を取り除いた構成の素子を採用することができる。図9において、符号91はデータライン12及びゲートライン13に接続された端子電極、92は端子電極91に接続された真性半導体層、93は内部ショートライン81に接続された他方の端子電極である。

【0024】データ端子18、ゲート端子19、補償容量端子71、対向電極入力端子72はそれぞれ外部ショートライン83に接続されている。外部ショートライン83はガラス基板11の辺部に沿って配置された環状配線である。

【0025】このような構成によれば、液晶表示素子を形成する過程で、静電気が発生しても、この静電気がショートライン81と外部ショートライン83を含む各配線を循環して消費される。従って、薄膜トランジスタ14に異常高電圧が印加されて素子が破壊される等の事態が防止され。

【0026】液晶表示素子の製造が終了すると、ガラス基板11の周辺部を切断して、外部ショートライン83を除去する。一方、内部ショートライン81は、そのまま残され、第2実施例の専用ライン72と同様に、4つの対向電極接続パッド17A～17Dを相互に接続する配線として機能する。

【0027】このような構成によれば、液晶表示素子の製造段階においては、内部ショートライン81は静電気対策用の構成として機能として、製造終了後は4つの対向電極接続パッド17A～17Dを相互に接続する配線として機能する。従って、簡単な構成で静電気対策を施すことができると共に対向電極の電圧を一定値に維持することができる。

【0028】なお、この発明は上記第1～第3実施例に限定されず、種々の応用及び変更が可能である。例えば、第1～第3実施例では、対向電極接続パッド17A～17D及び対向電極33のパッド数を4つとしたが、パッド数は3、5、6…のいずれでもよい。また、対向電極入力端子の数も1つに限定されず、2、3でもよい。但し、端子構成の簡略化のためには、2個程度で抑えることが望ましい。また、第3実施例では、補償容量端子71と対向電極入力端子72を個別に配置したが、第1実施例と同様に共通としてもよい。また、実施例で示した材質、製造方法等は、例示であり、他の材質、他の製造方法を使用してもよい。例えば、半導体層と電極

層の間にオーミックコンタクトを確保するための高濃度半導体層等を配置してもよい。また、薄膜トランジスタの構造も、スタガ、逆スタガ、コプラナー等任意の構成を採用しうる。

【0029】

【発明の効果】以上説明したように、この発明の液晶表示素子によれば、対向電極接続パッドよりも少ない数の対向電極入力端子が基板に配置される。従って、端子構成が簡単になり、しかも、対向電極入力端子と接続パッドが接続されているので、対向電極上の各部の電圧を一定値に維持できる。

【図面の簡単な説明】

【図1】(A)は、この発明の第1実施例にかかるアクティブマトリクス液晶表示素子の表示画素基板の構成を示す平面図である。(B)は、この発明の第1実施例にかかるアクティブマトリクス液晶表示素子の対向基板の構成を示す平面図である。

【図2】図1(A)と図1(B)に示す基板を接合した状態を示す断面図である。

【図3】図1(A)に示す表示画素基板の製造方法の一例を説明するための過程図である。

【図4】図1(A)に示す表示画素基板の製造方法の一例を説明するための過程図である。

【図5】図1(A)と図1(B)に示す基板を接合する方法を説明するための断面図である。

【図6】この発明の第2実施例にかかるアクティブマトリクス液晶表示素子の表示画素基板の構成を示す平面図である。

【図7】この発明の第3実施例にかかるアクティブマトリクス液晶表示素子の表示画素基板の構成を示す平面図

である。

【図8】図7に示す保護素子の特性の一例を示す図である。

【図9】図7に示す保護素子の構造の一例を示す図である。

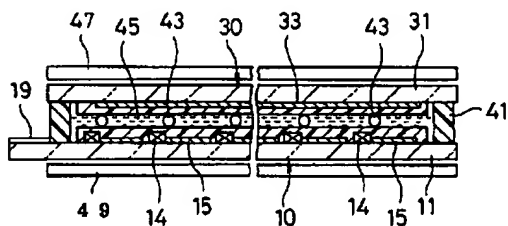
【図10】(A)は、従来のアクティブマトリクス液晶表示素子の表示画素基板の構成を示す平面図である。

(B)は、従来のアクティブマトリクス液晶表示素子の対向基板の構成を示す平面図である。

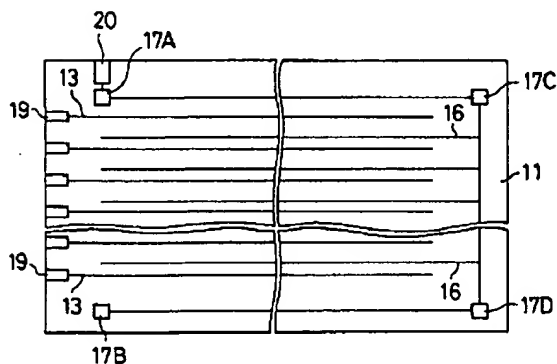
【符号の説明】

10…表示画素基板、11…ガラス基板、12…データライン、13…ゲートライン、14…薄膜トランジスタ、15…画素電極、16…補償容量ライン、17…対向電極接続パッド、18…データ端子、19…ゲート端子、20…対向電極／補償容量入力端子、30…対向基板 31…ガラス基板、33…対向電極、35…パッド、41…シール材、43…スペーサ、45…液晶、47、49…偏光板、51…絶縁膜、53…半導体層、55…保護膜、57…異方性導電接着材（異方性導電材）、71…補償容量端子、71…専用ライン、72…対向電極入力端子、81…内部ショートライン、82…非線形2端子素子、83…外部ショートライン、110…表示画素基板、130…対向基板、111…ガラス基板、112…データライン、113…ゲートライン、114…薄膜トランジスタ、115…画素電極、116…補償容量ライン、117…対向電極接続パッド、118…データ端子、119…ゲート端子、120…補償容量端子、121…対向電極入力端子、130…対向基板、131…ガラス基板、133…対向電極

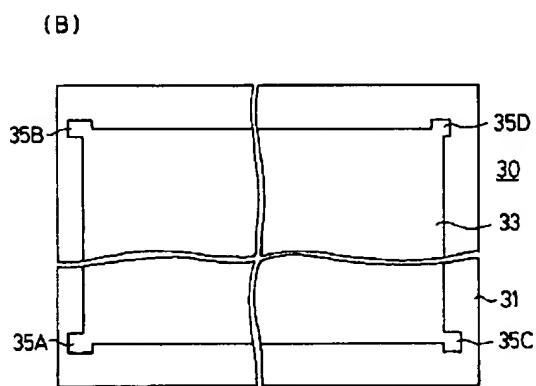
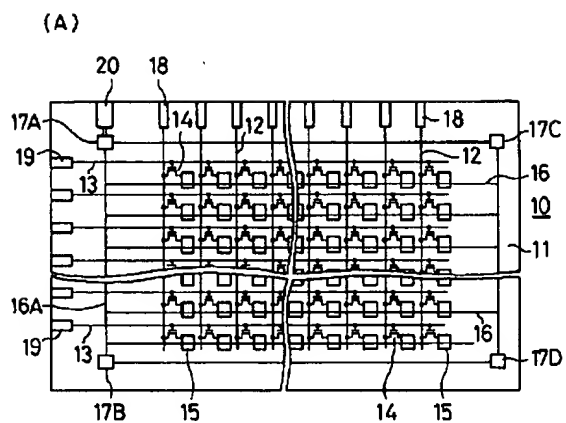
【図2】



【図3】

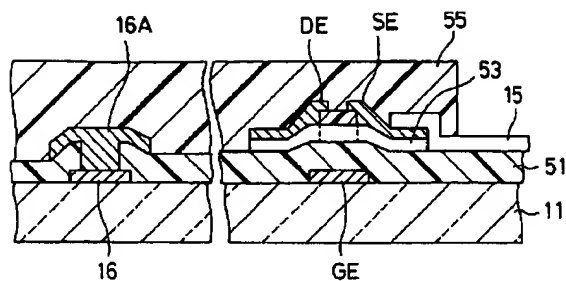


【図 1】

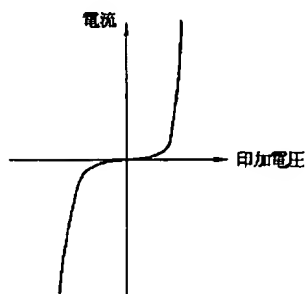


【図 5】

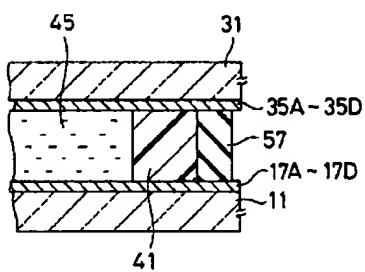
【図 4】



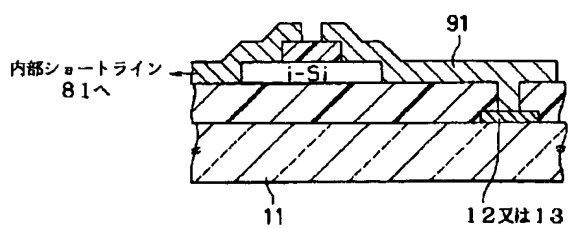
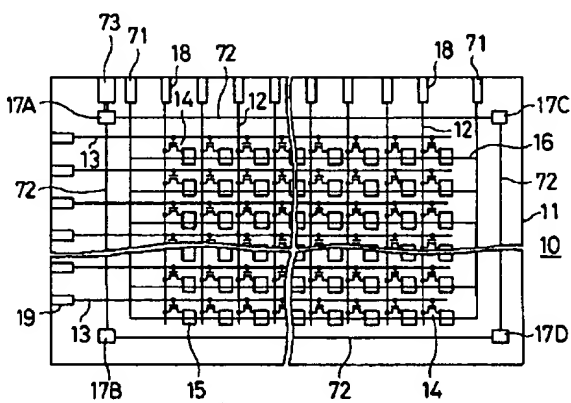
【図 8】



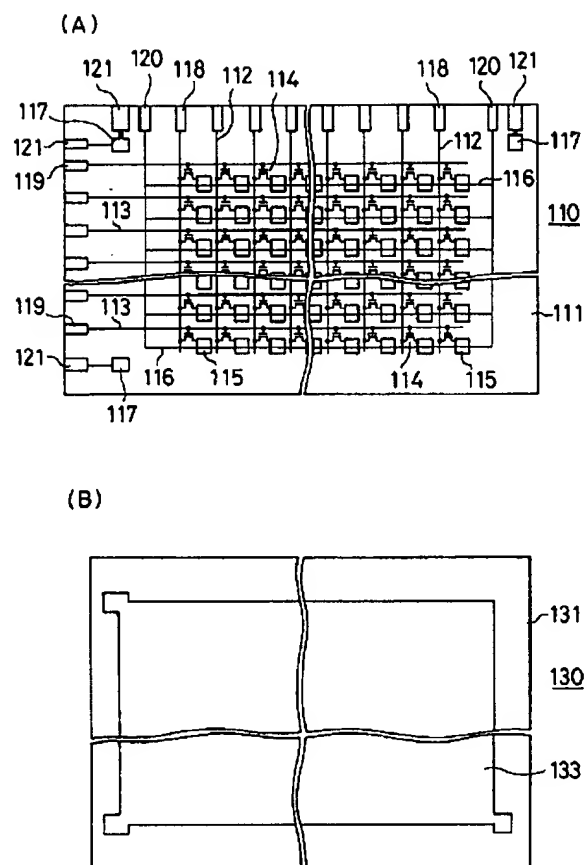
【図 6】



【図 9】



【図 10】



(51) Int. Cl. ⁶

識別記号

庁内整理番号

FI

技術表示箇所